

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321439
 (43)Date of publication of application : 12.12.1997

(51)Int.CI. H05K 3/46
 H05K 1/02

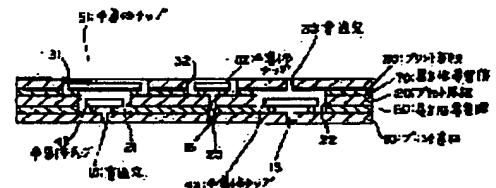
(21)Application number : 08-139276 (71)Applicant : NEC CORP
 (22)Date of filing : 31.05.1996 (72)Inventor : NODA YUJI

(54) LAMINATION CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a compact and light lamination circuit board which realize easy manufacturing operation.

SOLUTION: Since cut-out holes 21, 22, 31, 32 for preventing interference with mounted components 41, 42, 51, 52 on adjacent boards are formed for laminating printed boards 10, 20, 30, the thickness does not increase when they are laminated. Furthermore, since bumps are formed in parts to be connected by continuity in the printed circuits between adjacent boards to hold anisotropic conductive film 60, 70 therebetween, it makes continuity in only bump parts during thermo-compression. Since sealing resin is applied to a circumferential edge of the semiconductor chips 41, 42, 51, 52 alone, an application amount thereof can be reduced, thus realizing miniaturization.



LEGAL STATUS

[Date of request for examination] 31.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2790122

[Date of registration] 12.06.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

特開平9-321439

(43)公開日 平成9年(1997)12月12日

(51)Int.C1.
H05K 3/46

識別記号

F I
H05K 3/46Q
N
X
C

1/02

1/02

審査請求 有 請求項の数 4 O L (全7頁)

(21)出願番号

特願平8-139276

(71)出願人 000004237

日本電気株式会社

(22)出願日

平成8年(1996)5月31日

東京都港区芝五丁目7番1号

(72)発明者

野田 雄二

東京都港区芝五丁目7番1号 日本電気株式会社社内

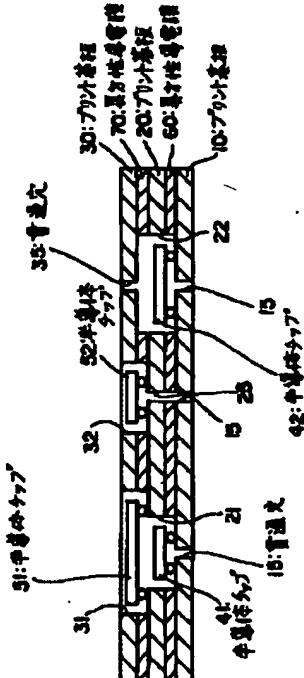
(74)代理人 弁理士 渡辺 喜平

(54)【発明の名称】積層回路基板

(57)【要約】

【課題】 全体的に厚くなり、基板のほぼ全面を覆う樹脂を封入するので重くなり、さらに機械研磨工程が必要となるので製造作業が煩雑であった。

【解決手段】 プリント基板10, 20, 30を積層するにあたり、隣接する基板に実装される実装部品41, 42, 51, 52と干渉しないようにする切り欠き穴21, 22, 31, 32を形成してあるため、積層したときに厚みが増さないし、また、隣接する基板間の印刷回路13, 23, 33には導通接続すべき部分にバンプ13a, 23a, 33aを形成して異方性導電膜60, 70を挟んでいるため、熱圧着したときに同バンプ13a, 23a, 33a部分でのみ導通する。さらに、封止樹脂を充填するにあたっては、半導体チップ41, 42, 51, 52の周縁だけに充填されるので、量を少なくて軽量化を図ることになる。



【特許請求の範囲】

【請求項1】 表面上に印刷回路を形成した複数のプリント基板を重ね合わせるとともに、その間で同プリント基板上に部品を実装し、かつ、互いに積層されるプリント基板の印刷回路間を導通接続せしめた積層回路基板であつて、一のプリント基板に実装される実装部品と干渉しないよう、積層する他のプリント基板には対応部位に切り欠き穴を形成したことを特徴とする積層回路基板。

【請求項2】 上記請求項1に記載の積層回路基板において、対面するプリント基板における印刷回路の導通接続部位に突起を形成し、間に異方性導電膜を介在せしめて導通接続させることを特徴とする積層回路基板。

【請求項3】 上記請求項1または請求項2に記載の積層回路基板において、切り欠き穴内の上記実装部品の周縁空間を樹脂封入することを特徴とする積層回路基板。

【請求項4】 上記請求項3に記載の積層回路基板において、積層方向に沿って上記切り欠き穴と連通する貫通孔を形成し、一括して樹脂封入することを特徴とする積層回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、積層回路基板に関し、特に、半導体チップを実装する際に小型・軽量化を実現する高密度実装を行う積層回路基板に関する。

【0002】

【従来の技術】 従来、この種の積層回路基板として、図6に示す特開平4-18787号公報に開示されたもののが知られている。同公報に開示された実装方法は、図6(a)に示すようにプリント基板101上の導通パターン102にチップ部品103及びジャンパーチップ104を半田付けしている。そして、このプリント基板101のチップ部品103及びジャンパーチップ104が搭載されている側の面に、エポキシ樹脂等の液状樹脂を流し込み熱硬化させることによって、図6(b)に示すように、チップ部品103及びジャンパーチップ104を埋設する埋め込み樹脂層106を形成する。この埋め込み樹脂層106は、チップ部品103を完全に埋設しつつジャンパーチップ104の図中上端部が露出する高さに形成され、その表面は機械研磨により平坦化される。

【0003】 次に、上記埋め込み樹脂層106上に、銀系の熱硬化性導電ペーストをスクリーン印刷し熱硬化させることによって、図6(c)に示すように導電パターン107が形成され、ここに第1の実装基板108が形成される。なお、この導電パターン107は、ジャンパーチップ104の図中上端部と接触されて、プリント基板101の配線パターンと導通がとられている。一方、図6(d)に示すように、上記と同様にして構成される、絶縁基板109及び配線パターン110よりなるプリント基板111と、チップ部品112と、ジャンパー

チップ113と、埋め込み樹脂層114及び導電パターン115を有する第2の実装基板116を形成する。そして、図6(e)に示すように、上記第1の実装基板108の導電パターン107が形成されている側の面と、第2の実装基板116の導電パターン115が形成されている側の面とを、間に異方性導電膜117を挟んで合わせ、両基板108, 116を熱圧着して一体化し両プリント基板101, 111相互間の電気的接続を行なっている。

【0004】

【発明が解決しようとする課題】 上述した従来の積層回路基板においては、次のような課題があった。少なくとも一つの実装基板ごとにプリント基板とチップ部品以上の厚みになり、これらを対面して積層することにより、全体が厚くなってしまう。また、一枚の実装基板ごとにほぼ全面を覆う樹脂を封入することになり、重くなる。さらに、埋め込み樹脂層を形成した後でジャンパーチップを露出させるための機械研磨工程が必要となり、製造作業が煩雑となる。

【0005】 本発明は、上記課題にかんがみてなされたもので、小型、かつ、軽量であって、製造作業も簡易にすることが可能な積層回路基板の提供を目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため、請求項1にかかる発明は、表面に印刷回路を形成した複数のプリント基板を重ね合わせるとともに、その間で同プリント基板上に部品を実装し、かつ、互いに積層されるプリント基板の印刷回路間を導通接続せしめた積層回路基板であつて、一のプリント基板に実装される実装部品と干渉しないよう、積層する他のプリント基板には対応部位に切り欠き穴を形成した構成としてある。

【0007】 かかる構成からなる発明によれば、隣接するプリント基板に実装部品が配置されている場合、積層するプリント基板には対面する部分に切り欠き穴を形成しているため、積層しても同切り欠き孔内に入り込み、必ずしも基板間に実装部品の厚みを確保しておく必要はない。切り欠き穴は、実装部品と干渉しない程度の大きさであれば良く、また、積層したときにプリント基板の有効厚みよりも実装部品の方が薄ければ隣接する一枚のプリント基板だけに切り欠き穴を形成すればよいし、実装部品の方が厚ければ複数のプリント基板における対面する部分に切り欠き穴を形成すればよい。

【0008】 プリント基板は各種のものを適用でき、フレキシブルプリント基板のようなものであっても良いし、プリント基板自体が多層のものであっても構わない。積層されるプリント基板の印刷回路間を導通接続させる方法は各種の構成が可能であり、従来のようにジャンパーチップを備えて異方性導電膜を介在せしめるものであっても良い。ここにおいて、請求項2にかかる発明は、請求項1に記載の積層回路基板において、対面する

プリント基板における印刷回路の導通接続部位に突起を形成し、間に異方性導電膜を介在せしめて導通接続させる構成としてある。

【0009】かかる構成からなる発明によれば、対面するプリント基板同士の印刷回路が異方性導電膜を介して対面するにあたり、この印刷回路における導通接続部位に突起が形成されているため、押圧して加熱せしめれば突起部分で異方性導電膜が強く加圧されて導通することになる。また、突起部分でないところでは弱く加圧されるので導通しないし、むろん、面方向においても導通しない。切り欠き穴内に実装部品が保持されるにあたり、周縁空間が形成されるが、従来のように実装部品を樹脂封入することも可能である。

【0010】すなわち、請求項3にかかる発明は、請求項1または請求項2に記載の積層回路基板において、切り欠き穴内の上記実装部品の周縁空間を樹脂封入する構成としてある。かかる構成からなる発明によれば、実装部品の周縁の空間には、実装されているプリント基板と、隣接する切り欠き穴を形成したプリント基板と、さらに隣接する切り欠き穴を形成しないプリント基板とが少なくとも接している。従って、樹脂封入すれば実装部品の封入のみならず少なくとも三枚のプリント基板を互いに固着せしめることにもなる。

【0011】さらに、請求項4にかかる発明は、請求項3に記載の積層回路基板において、積層方向に沿って上記切り欠き穴と連通する貫通孔を形成し、一括して樹脂封入する構成としてある。かかる構成からなる発明によれば、実装部品が封入される切り欠き穴と連通するよう積層方向に沿って貫通孔が形成され、一連の空間が連通しているので、積層することに樹脂封入しなくとも最後に一括して樹脂封入可能となる。むろん、一括して樹脂封入すれば貫通するプリント基板同士を固着することにもなる。ここにおいて、要は積層方向にわたって切り欠き穴が連通するようになっていればよい。

【0012】

【発明の実施の形態】以下、図面にもとづいて本発明の実施形態を説明する。図1は、本発明の一実施形態にかかる積層回路基板の製造過程を概略分解断面図により示しており、図2は、積層した状態を断面図により示している。本実施形態においては、三枚のプリント基板10, 20, 30を積層し、このうち、下層の二枚のプリント基板10, 20には実装部品である半導体チップ41, 42, 51, 52を配置し、各プリント基板10, 20, 30の間には異方性導電膜60, 70を介在せしめて回路形成している。

【0013】本実施形態においては、半導体チップ41, 42, 51, 52の表面実装をフリップチップボンディングで行っているが、必ずしもフリップチップボンディングである必要はない。例えば、図3に示すようにチップオンボンディング(COB)であっても、効果は

同様である。また、実装部品も半導体チップ41, 42, 51, 52に限らず、他の部品、例えば、チップ抵抗やチップコンデンサ等の表面実装部品を実装した場合も同様である。

【0014】中間層のプリント基板20における上記半導体チップ41, 42に対応する部位と、上層のプリント基板30における上記半導体チップ51, 52に対応する部位には、切り欠き穴21, 22, 31, 32を形成してあり、各層を積層したときに同半導体チップ41, 42, 51, 52が隣接するプリント基板20, 30と干渉しないようにしている。本実施形態においては、少なくとも隣接するプリント基板の一枚にだけ切り欠き穴を形成しているが、実装部品の厚みがプリント基板の厚みよりも大きいときには、積層するプリント基板が干渉しないだけの枚数に切り欠き穴を形成しておけばよい。また、プリント基板の裏面に実装部品のリード線端部が突出するような場合には、裏側に接するプリント基板と干渉しないように切り欠き穴を形成しておけばよい。

【0015】ところで、少なくとも下層のプリント基板10の上面と、中間層のプリント基板20の上下面と、上層のプリント基板30の下面には、図4に示すように印刷回路13, 23, 33が形成されている。また、印刷回路13, 23, 33のうち、プリント基板10, 20, 30が積層されたときに隣接面の印刷回路13, 23, 33と導通すべき部位には他の部分よりも高く突き出るパンプ13a, 23a, 33aを形成してある。

【0016】パンプ13a, 23a, 33aは、金メッキ、あるいは、アディティブ法によって印刷回路の銅バターンを析出させた後、表面をフラッシュ金メッキしたりして形成できる。また、パンプ13a, 23a, 33aの高さは、ソルダーレジスト14, 24, 34と同等もしくはソルダーレジスト14, 24, 34より10~20μm高くなるように設計しておくとよい。

【0017】このようにパンプ13a, 23a, 33aを形成したプリント基板10, 20, 30の間に、異方性導電膜60, 70を挟んで位置合わせを行なうと、図4に示すように、同パンプ13a, 23a, 33aの部分が異方性導電膜60, 70に突き当たることになる。この状態で、上下方向より圧力かけ、加熱すると印刷回路13, 23, 33間の電気的接続が完了する。すなわち、異方性導電膜60, 70は熱圧着することによって対向する電極間方向では導電性を有し、それに直交する方向では絶縁性を有するという特徴がある。このときの加熱温度は異方性導電膜60, 70の導通接続部分が160°C~190°Cとなるように設定すればよい。圧力は同導通接続部分が10Kg/cm²~50Kg/cm²となるように設定すればよい。

【0018】むろん、プリント基板10, 20, 30間で導通路を形成するには、他の方法でも構わない。例え

ば、異方性導電膜の側に厚みのある粒状の隆起を形成し、この隆起を印刷回路13, 23, 33に突き当て、加圧したときにこの部分でのみ導通するようにも良い。また、導電性ペーストを塗布して半田付けのように回路形成することもできる。

【0019】プリント基板10, 20, 30には上記切り欠き穴21, 22, 31, 32だけではなく、樹脂注入用の貫通孔15, 25, 35を形成してある。これらの貫通孔15, 25, 35は積層方向に沿って上記切り欠き穴21, 22, 31, 32に連通している。すなわち、半導体チップ41, 42, 51, 52の搭載部分の上下のプリント基板10, 20, 30に貫通孔15, 25, 35を設置している。そして、半導体チップ41, 42, 51, 52の周囲に封止樹脂を注入する場合には下側の貫通孔15より封止樹脂を注入する。

【0020】このように上方の貫通孔35や切り欠き穴31, 32ではなく、下側に位置する貫通孔15より封止樹脂を注入し、上部の開口部分を空気抜き用として利用することにより、半導体チップ41, 42, 51, 52の表面及びバンプ13a, 23a, 33aの接続部分に未充填部を発生することなく封止樹脂を充填することができる。もちろん、必要に応じて上方から樹脂封入することもできる。貫通孔15, 25, 35を介して封止樹脂を充填する場合、この封止樹脂が貫通するプリント基板10, 20, 30は固定される。また、プリント基板20に形成した切り欠き穴22の周囲の空間に充填された封止樹脂は上下三枚のプリント基板10, 20, 30を固定するという効果がある。

【0021】上述した実施形態においては、一回の熱圧着によってすべてのプリント基板10, 20, 30を接続しているが、図5に示すようにして一枚ずつ接続することもできる。図5(a)はプリント基板10に半導体チップ41, 42を搭載し電気的に接続した状態を示している。半導体チップ41, 42は、上述したようにフリップチップボンディングなどによって行なう。次に、図5(b)に示すように、プリント基板10の上に異方性導電膜60を配置し、さらに、その上にプリント基板20を位置合わせし、熱圧着によってプリント基板10, 20を電気的に接続する。その後、図5(c)に示すように、封止樹脂を半導体チップ41, 42の周囲に充填する。

【0022】次に、図5(d)に示すように、半導体チップ51, 52をプリント基板20上に実装し、図5(e)に示すように、異方性導電膜70を同プリント基板20上に配置する。この後、図5(f)に示すように、プリント基板20上にプリント基板30を位置合わせし、熱圧着によってプリント基板20, 30間を電気的に接続する。

【0023】このように、プリント基板10, 20, 30を積層するにあたり、隣接する基板に実装される実装

部品41, 42, 51, 52と干渉しないようにする切り欠き穴21, 22, 31, 32を形成してあるため、積層したときに厚みが増さないし、また、隣接する基板間の印刷回路13, 23, 33には導通接続すべき部分にバンプ13a, 23a, 33aを形成して異方性導電膜60, 70を挟んでいるため、熱圧着したときに同バンプ13a, 23a, 33a部分でのみ導通する。さらに、封止樹脂を充填するにあたっては、半導体チップ41, 42, 51, 52の周縁だけに充填されるので、量を少なくして軽量化を図ることにもなる。

【0024】

【発明の効果】以上説明したように本発明は、実装部品と干渉しないようにする切り欠き穴をプリント基板に形成して積層しているため、全体の厚みを薄くすることができる積層回路基板を提供することができる。なぜならば、半導体チップ等の部品をプリント基板の厚みの中に埋め込むためあり、更に三次元的に部品を実装するために、実装の平面積を削減でき小型化が可能となる。

【0025】また、請求項2にかかる発明によれば、隣接するプリント基板の印刷回路が不要に導通してしまうことを防止しつつ、所定場所でのみ導通させることを容易に行なうことができる。また、これにより軽量化も可能となる。なぜならば、従来例において説明したジャンパースイッチの代わりに、印刷回路上のバンプによりプリント基板間の電気的接続を行うからである。また、従来例においては、導電ペーストをスクリーン印刷により形成した導電パターンを使用するが、本発明では使用しないので、軽量化への効果も大きい。

【0026】さらに、請求項3にかかる発明によれば、複数枚のプリント基板を通過して樹脂が封入され、樹脂の封入とプリント基板の固定を同時に行なうことができる。また、これによっても軽量化が可能となる。なぜならば、従来例の埋め込み樹脂層の樹脂量と比較し、本発明の封止樹脂量は実装部品の周縁空間だけであるし、厚みも薄くなるため、使用する樹脂量は大幅に減少し、軽量化への効果が大きい。

【0027】さらに、請求項4にかかる発明によれば、同様に複数のプリント基板の固定を容易に行えるとともに、各実装部品に対して上方から一括して樹脂を注入すれば良く、封入作業自体が簡便となる。また、総合的にコストダウンが可能となることである。なぜならば、部品と使用材料の削減、および生産工程の簡略化が可能だからである。部品及び使用材料の削減について従来例と比較して説明すると、従来例において使用していたジャンパースイッチ及びその搭載用の半田は本発明では使用しない。また、使用する樹脂の量も本発明では大幅に減少する。さらに、生産工程の簡略化について説明すると、従来例では埋め込み樹脂層の機械研磨による平坦化工程、及び導電ペーストをスクリーン印刷により導電パターンを形成する工程が必要であるが、本発明では不要

だからである。

【図面の簡単な説明】

【図 1】本発明の一実施形態にかかる積層回路基板の製造過程を示す概略分解断面図である。

【図 2】同積層回路基板の積層した状態を示す断面図である。

【図 3】他の実施例にかかる実装部品の実装方法を示す断面図である。

【図 4】プリント基板上における印刷回路のバンプで異方性導電膜を挟持する部分の拡大断面図である。

【図 5】変形例にかかる製造工程を示す断面図である。

【図 6】従来の積層回路基板の製造工程を示す断面図である。

【符号の説明】

10, 20, 30…プリント基板

21, 22, 31, 32…切り欠き穴

13, 23, 33…印刷回路

13a, 23a, 33a…バンプ

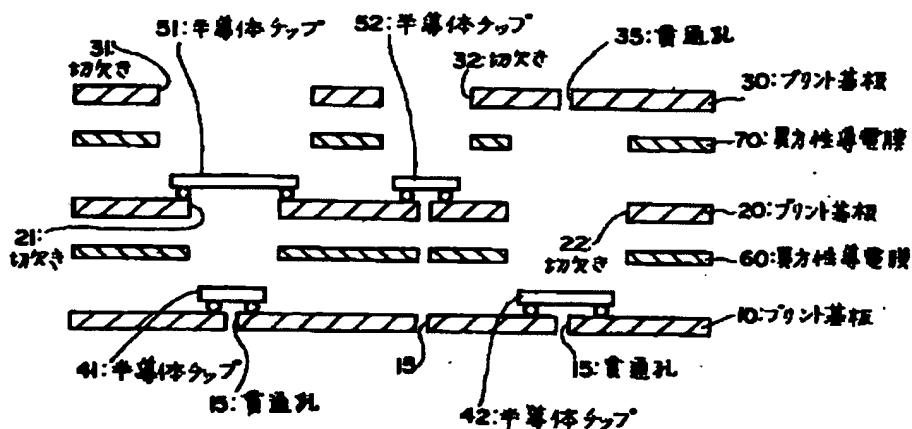
15, 25, 35…貫通孔

41, 42, 51, 52…半導体チップ

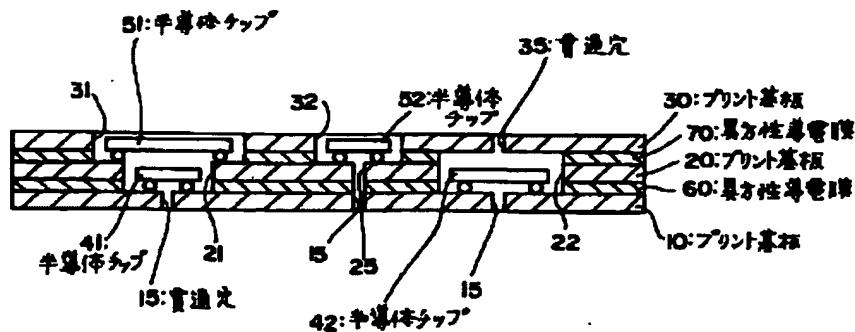
10, 60, 70…異方性導電膜

15

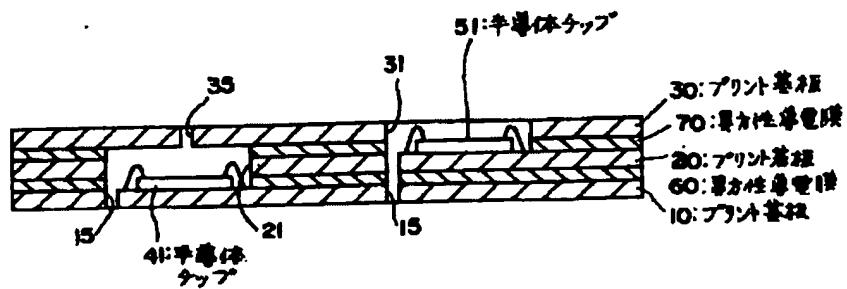
【図 1】



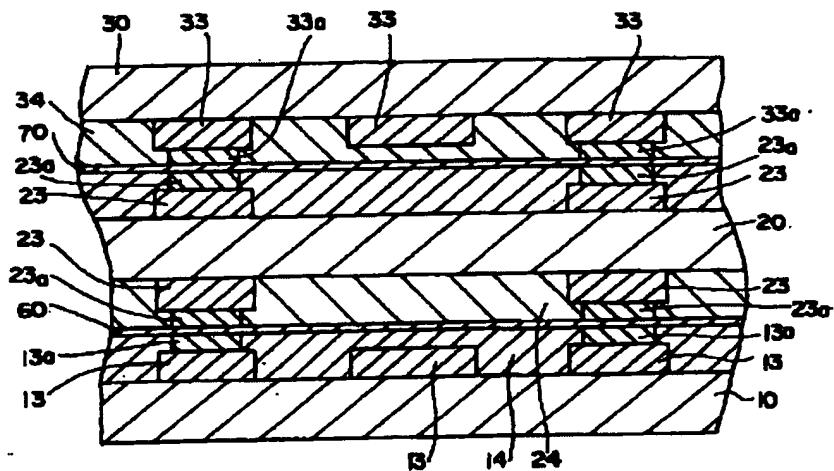
【図 2】



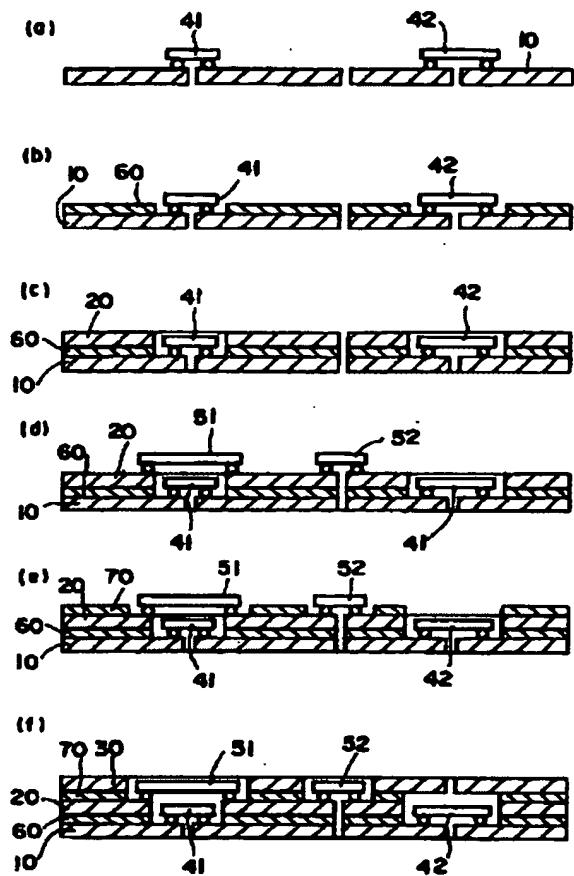
【図3】



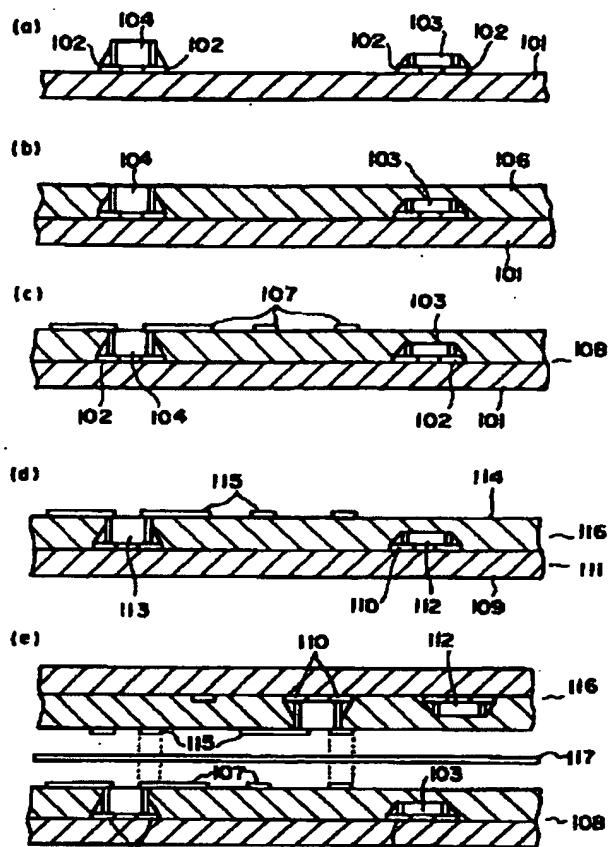
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.